

## 技術報告

SiO<sub>2</sub> 膜のAES分析におけるチャージアップ問題

楠神久人\*, 福島整\*\*, 材料別分科会電子材料グループ

\*セイコーエプソン株式会社 分析センター

〒392 長野県諏訪市大和 3-3-5

\*\*科学技術庁・無機材質研究所

〒305 茨城県つくば市並木 1-1

電子材料グループのメーリングリスト(emg)は分科会運営のための情報伝達以外に、表面分析技術に関する情報交換も活発に行われている。96年5月に始まったAESスペクトル微分問題に続き、96年6月から7月にかけてSiO<sub>2</sub>膜のチャージアップ問題についての議論が活発に行われた。熱酸化成膜によるSiO<sub>2</sub>膜とCVD成膜によるSiO<sub>2</sub>膜のオージェスペクトルを比較するとチャージアップによるシフト量に差があるがその原因について負の帯電、正の帯電2つの観点から議論が行われた。その内容について報告を行う。

## 1. はじめに

セイコーエプソン 分析センター 楠神から emg を用い、次のような疑問が電子材料グループのメンバーに投げかけられた。

>熱酸化\_SiO<sub>2</sub>膜とCVD\_SiO<sub>2</sub>膜のAESによる比較  
>測定を行ったところ、ピーク形状に差はみられな  
>いがピーク位置が一致しません。測定条件は同じ  
>でこのような差が生じるのはチャージアップのせ  
>いだと思いますが、なぜチャージアップ量に差が  
>生じるのかわかりません。どなたかこの原因を教  
>えてください。

これに対して、電子材料グループのメンバーから多くの意見が寄せられ、SiO<sub>2</sub>膜のチャージアップに関する議論が行われた。

2. 熱酸化SiO<sub>2</sub>膜とCVD\_SiO<sub>2</sub>膜データ比較

## 試料

熱酸化\_SiO<sub>2</sub>膜, CVD\_SiO<sub>2</sub>膜(無処理),  
CVD\_SiO<sub>2</sub>膜(7-ニール)

## 測定条件

装置: VG Microlab 310D(CHA)

一次電子: 10kV, 10nA

測定面積: 200 μm<sup>2</sup>

エネルギー分解能: 0.05% (RR/40)

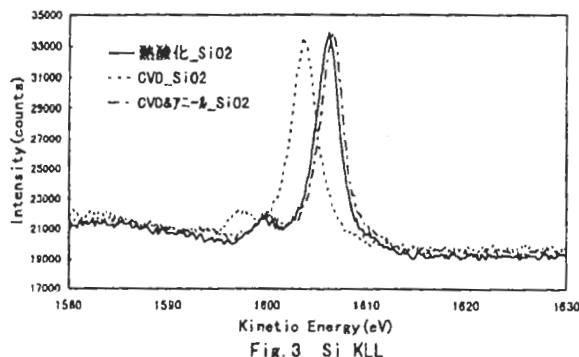
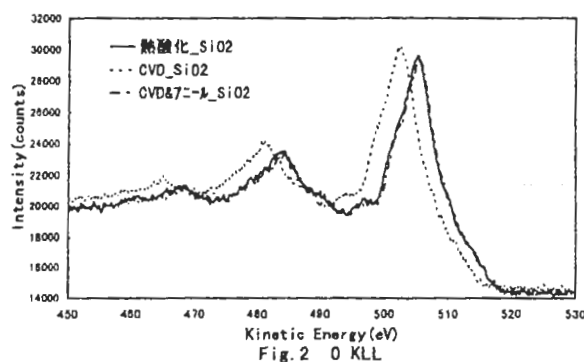
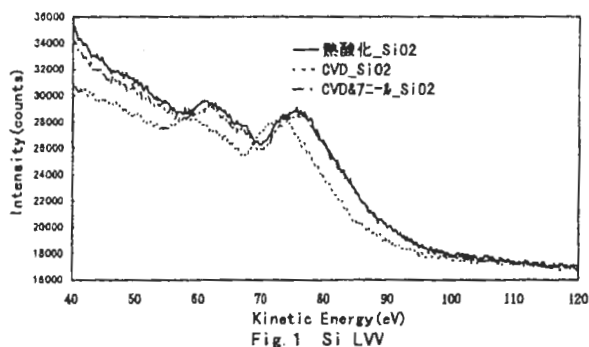
試料傾斜角: 75deg

表面処理: Ar イオンビームスパッタ処理

加速電圧: 2kV

## 測定結果

	Si LVV	O KLL	Si KLL	膜厚
熱酸化_SiO <sub>2</sub> 膜	75.3eV	505.0eV	1606.2eV	290nm
CVD_SiO <sub>2</sub> 膜(無処理)	72.7eV	502.4eV	1603.8eV	240nm
CVD_SiO <sub>2</sub> 膜(7-ニール)	75.5eV	505.4eV	1606.6eV	240nm



3つのサンプル間でピーク形状に差はないが Si LVV, O KLL, Si KLL のピーク位置の差が3つのサンプル間でほぼ同じである。これより3つのサンプル間でのピーク位置の不一致はチャージアップによるものと考えられる。

### 3. SiO<sub>2</sub> 膜表面のチャージアップ

#### 3-1. 負の帯電

通常チャージアップというとき AES の場合、負に帯電するケースが多い。そのため議論の前半は負の帯電という観点のもと次のような意見がでた。

1) チャージアップには膜厚、密度、不純物の影響が考えられる。

2) 膜厚は薄い程、一次電子は膜を透過しアースへと流れてゆきチャージアップ量は減る。

3) 密度が低く不純物が多量に含まれる膜は膜中で発生した二次電子はトラップされラジカルの分解かあるいはそれ自身の脱離などによって真空中へ放出され帯電しにくくなる。

4) 今回疑問として提起された熱酸化<sub>SiO<sub>2</sub></sub> 膜と CVD<sub>SiO<sub>2</sub></sub> 膜は膜厚の差はさほど大きくはないが、密度、不純物量に差がある。CVD 膜は成長プロセスのコンタミや CVD 成膜ガス成分の混入、特に H、OH、H<sub>2</sub>O が多く含まれていることから密度は低く、不純物量は多い。これより CVD 膜の方がチャージアップしにくいと考えられる。

5) CVD<sub>SiO<sub>2</sub></sub> 膜の測定値が熱酸化<sub>SiO<sub>2</sub></sub> 膜に近いのは膜中の不純物が高温処理によって脱離し、密度も大きくなったためと考えられる。

上記のような理由から、熱酸化<sub>SiO<sub>2</sub></sub> 膜、CVD<sub>SiO<sub>2</sub></sub> 膜の方が CVD<sub>SiO<sub>2</sub></sub> 膜より負のチャージアップ量が大きく、オーグメント電子の運動エネルギーが大きくなるのがわかり、熱酸化<sub>SiO<sub>2</sub></sub> 膜、CVD<sub>SiO<sub>2</sub></sub> 膜、CVD<sub>SiO<sub>2</sub></sub> 膜のオーグメントスペクトルのピーク位置の不一致が説明できる。

しかし、現実には少し違うようである。

#### 3-2. 正の帯電

表面が負に帯電している場合は上記のようにピーク位置の不一致の説明ができるが、チャージアップの符号の問題はまだ不明確である。

まず、SiO<sub>2</sub> 膜が正負のどちらに帯電しているかについて次のような意見がでた。

1) 絶縁物の場合、二次電子放出効率がほぼ必ず 1 より大きく<sup>1)</sup>、SiO<sub>2</sub> は 2~3 の値を示す。絶縁物は大き

なバンドギャップを越えられるような条件で電子を励起しなければならず、これだけのエネルギーを得た電子は伝導帯に止まらず真空中へ放出され、入射電子数より二次電子数の方が多くなる。一方、金属などは伝導帯で止まる確率もかなり大きい。したがって導体では二次電子放出効率が 1 より小さいものが数多くある。

2) 絶縁物は表面から脱出できる電子の平均自由行程より入射電子が深く打ち込まれた場合、深い領域で生成する二次電子が試料表面にたどりつけず負に帯電することがある。

3) バルク絶縁物の場合、入射電子の入射方向を試料表面の法線方向にすると 2) のような理由により負に帯電するが、試料傾斜角 (試料表面法線方向からの一次電子入射角) を大きくするにしたがって二次電子放出量が大きくなりやがてある角度で入射電子数と二次電子数が相殺してチャージアップ量が 0V になる。ガラスの場合、その角度が約 60deg である。試料傾斜角をさらに大きくすると二次電子放出量が  $\cos \theta$  に半比例して増加する<sup>2)</sup>ため、正に帯電するが表面近傍の低運動エネルギーの二次電子が引き戻され平衡状態となり、正のチャージアップ量は 10V 以下に収まる。

4) 導電性基板の上の絶縁薄膜の場合、入射電子が基板まで達する間に電子衝突によりホールと電子のペアを形成し、電子線の散乱領域では電流が流れることが可能になっていると考えられる。この散乱領域が基板まで達せば負電荷がアースに流れ、負電荷による電場が形成されないため、表面の本来の正の帯電が現れてくると考えられる。

以上のように AES による絶縁物測定においては、正負いずれにも帯電する可能性がある。

では今回測定された SiO<sub>2</sub> 膜は正負どちらに帯電しているのだろうか。

これを明確にするために pure-Si の測定を行い、Si KLL のピーク位置を SiO<sub>2</sub> 膜のものと比較してみた。

VG Microlab 310D で pure-Si を測定したとき Si KLL のピークは 1616eV にあるが、この値は上記の熱酸化 SiO<sub>2</sub> 膜の Si KLL のデータと比較しても 9eV 以上の差があり、ケミカルシフトにしてはその差が大き過ぎる。(Si KLL の酸化によるケミカルシフト量は 7~8eV) これより試料表面は正に帯電していると考えられる。また、上記のデータからさらにいえることは CVD<sub>SiO<sub>2</sub></sub> 膜の方がチャージアップ量は大きいということであり、負の帯電と仮定した場合に原因として

考えられた密度や不純物の影響ではないことがわかる。

そこで考えられる原因が、試料間での二次電子放出の差異である。

5) 141 委員会編「マイクロビームアナリシス」<sup>2)</sup>では二次電子放出効率  $\delta$  として Dekker の式を挙げている。

$$\delta = \frac{A}{\epsilon_0 \cdot E_{p0}} f(0) \cdot \lambda \cdot \sec \theta$$

- A : 物質に固有な阻止能に比例する定数  
 $\epsilon_0$  : 二次電子を励起するために必要な平均励起エネルギー  
 $\lambda$  : 平均自由行程  
f(0) : 表面近傍で発生した二次電子が表面外に逃げ出る確率  
 $E_{p0}$  : 入射電子線のエネルギー  
 $\theta$  : 入射電子線の入射角  
(表面の法線方向から)

この二次電子放出効率の差が熱酸化<sub>SiO2</sub> 膜、CVD<sub>SiO2</sub> 膜、CVD&アニール<sub>SiO2</sub> 膜のピーク位置の不一致の原因になっていると考えられるが、二次電子放出効率はバンド構造と密接な関係を持ち、表面状態にも敏感なため定量的解釈は難しいようである。

6) 今回の測定で、SiO<sub>2</sub> 膜が正に帯電しているのは間違いないようであるが熱酸化<sub>SiO2</sub> 膜と CVD<sub>SiO2</sub> 膜の差が何に起因するかは不明確である。バンド構造に関係をもつならばと考え、EELS 測定を行ってみたが差はみられなかった。

7) チャージアップの防止に最も効果のあるのが一次電子の斜め入射であり、これにより二次電子放出効率を 1 以上にして表面電位を正とし、低運動エネルギー二次電子を試料表面に戻すことによって平衡を得ることができる。しかし電子材料グループ・第 1 回 ad-hoc-meeting では二次電子放出効率を 1 以上にして測定しても表面電位は試料傾斜角によって変化するという報告もあり、その補正が必要である。

以上が emg を用いた情報交換の概要である。

#### 4. まとめ

SiO<sub>2</sub> 膜の AES 測定では一次電子の斜め入射によって二次電子放出効率を 1 以上にし、表面電位を正にして測定される場合がある。

SiO<sub>2</sub> 膜はその成膜法によって二次電子放出効率が違う場合があるが、その差が何に起因するかはまだ

よくわからない。

電子材料グループ Si 系半導体チームでは表面分析データの試料傾斜角依存性の調査がテーマの一つになっており、チャージアップの試料傾斜角依存性の調査をさらに行っていききたい。

電子材料グループではメーリングリスト(emg)を用いて表面分析技術の情報交換が活発に行われている。今回、SiO<sub>2</sub> 膜のチャージアップ問題について話題提供されると、それに関し 30 以上もの意見が飛び交い、活発な議論が行われた。この議論には電子メール ID を持つすべての分科会メンバーが参加することができ、専門的な情報から、非常にかみくだいたわかりやすいコメントまで寄せられ、たいへん興味深い内容のものとなった。

#### 参考文献

- 1) 表面分析, 染野檀, 安盛岩雄 編, 講談社 212
- 2) マイクロビームアナリシス, 141 委員会編, 朝倉書店 23

#### Charge-up problem of SiO<sub>2</sub> in AES spectra

Hisato Kusakami\*, Sei Fukushima\*\*,  
Electronics Material Group  
\*SEIKO EPSON Material Analysis Center  
3-3-5, Owa, Suwa, Nagano 392, JAPAN  
\*\*National Institute for Research in  
Inorganic Materials  
1-1, Namiki, Tsukuba, Ibaraki, 305, JAPAN

We have investigated the AES data of thermo oxidized SiO<sub>2</sub>, Chemical Vapor Deposited SiO<sub>2</sub> and Chemical Vapor Deposited and Annealed SiO<sub>2</sub> measured by Kusakami.

In Comparison of these data, these Auger peak didn't coincide. The cause of this uncoincidence is the uncoincidence of secondary electron yield. In measurement with low angle electron beam, the secondary electron yield was larger than one and these sample were charged in positive. And the secondary electron yield of CVD<sub>SiO2</sub> is larger than that of thermo oxidized SiO<sub>2</sub>, then the charging and peak shift of CVD<sub>SiO2</sub> are larger than that of thermo oxidized SiO<sub>2</sub>.

質疑応答：査読者 一村（電総研）  
田中（アルバックファイ）

1. 一村：入射電子ビームの値（10nA）が測定条件に書かれています。この値は、測定されているスペクトルシフトが起こっている状態でのものでしょうか。それとも、照射前に（サンプルホルダー等で）測定された値でしょうか。また、実際の照射時の定常状態では、電流の流れの方向はどうですか。

著者：入射電子ビームの値(10nA)は照射前にファラデーカップで測定した値です。また、実際の照射時の電流は試料からアースの方向へ流れました。そのときの電流値は次の通りです。（試料→アースの方向を+とします）

熱酸化\_SiO2膜 +4.3 nA  
CVD\_SiO2膜(無処理) +0.42 nA  
CVD\_SiO2膜(アニール) +5.0 nA  
ファラデーカップ -10 nA

したがって照射時には試料に電子が流れ込む状態にあり、これも私が二次電子放出効率が1より大きく、表面が正にチャージアップすると判断した理由の一つです。

2. 一村：試料に使われている酸化膜の抵抗（Si基板と酸化膜表面との間の抵抗と考えて下さい）は、どの程度でしょうか。概数値でも判れば教えて下さい。また、その抵抗値は、熱酸化膜とCVD酸化膜とで、どちらが高いでしょうか。（不純物が有る分だけ、CVD酸化膜が低い？）

著者：今回測定した試料の提供者にこの点を確認したところ、熱酸化膜とCVD膜の抵抗に有意差はないということでした。抵抗測定によって次のようなデータが得られたということです。

面積：500 μm φ 厚さ：100nm 電圧：5～数10V  
このような条件の下で電流値は電圧に関係なく10-13～10-12Aの値を示したそうです。

しかし電子照射時の抵抗値は最外殻電子が励起されている状態のものであり上記のデータとは異なることが予想され、この値からは有意義な知見は得られないと思います。

3. 一村：この試料が9eV程度正にチャージアップしていると、低速二次電子は試料側に引き込まれ、一部が脱出できなくなります。従って、二次電子のピーク形状は変化すると考えられます。観測されたピークは、どこか特徴的な形状をしていたのでしょうか。

著者：熱酸化\_SiO2とCVD\_SiO2(無処理)の低速二次電子ピークの形状に明確な差が見られます。御質問にある通りチャージアップ量が多いと考えられるCVD\_SiO2(無処理)の低速

二次電子ピーク形状は熱酸化\_SiO2、CVD\_SiO2)と大きく異なり、そのピーク強度が約1/2です。

この結果も表面が正にチャージアップしていることを裏付けていると考えます。

4. 一村：実験に使用された電子ビームのエネルギーから考えると、その飛程はSiO2中で10μmは有るはずで、従って電子ビームはSi基板内で十分なエネルギーを持った二次電子を生成します。これらの電子はポテンシャル障壁を越えてSiO2に入り込みますので、SiO2薄膜は高い抵抗率ながら電気伝導性を持った物質とみなすこともできます。そのとき、SiO2の最表面は、流れている電流をI(A)、抵抗値をR(Ω)としてRI(V)の電位をバイアスされた状態と等価になると考えることができます。この場合、スペクトルのピーク位置は、このバイアス電圧に応じてシフトします。すると、今回認められた熱酸化膜とCVD膜でのチャージアップの違いは、RIの積の値の違い（主としてRの値の違い）に起因すると考えることもできると思われまます。

田中：チャージアップという言葉：冷静に考えてみると、一村さんの指摘はまったくもつともだと思えます。一方で歴史的に考えるで見みると、原因はどうあれ、電位の変動を全部まとめてチャージアップと呼んで、この言葉を利用してきたと思えます。しかし、厳密にIR積による電子の変動と電荷の蓄積を区別して議論しようとすと、以外に境目に悩む様な例が出そうなきもします。整理が進むとはっきりしてくるのではないのでしょうか。

著者：両氏のご指摘にある通り、私はIR積による電位の変動を見落としていました。電子材料グループのメンバーの中にはこの観点から何らかのコメントをe-mailで送っていただいた方もいらっしゃるかもしれませんが私は残念ながら気づきませんでした。ただし二次電子放出による正の電荷の蓄積を裏付けるものとして、次のようなデータがあります。このデータは試料傾斜角によってピークシフト量に変化するかどうかを調査したデータですがIR積だけからは説明のできないものです。まず75deg傾斜の熱酸化\_SiO2とCVD\_SiO2(無処理)を比較すると、電流値が約1/10のCVD\_SiO2(無処理)の方がピークシフト量は大きいのがわかります。

	傾斜角	45deg	60deg	75deg
熱酸化_SiO2	Si KLL	1606.7eV	1606.4eV	1605.7eV
	電流値	-3.9nA	-0.64nA	+4.3nA
CVD_SiO2(無処理)		1605.3eV	1604.8eV	1603.2eV
	電流値	-4.2nA	-2.3nA	+0.42nA
CVD_SiO2(アニール)		1606.8eV	1606.6eV	1606.0eV
	電流値	-3.5nA	-0.26nA	+5.0nA

I R積だけから考えるとこの結果はCVD\_SiO<sub>2</sub>(無処理)の抵抗が熱酸化\_SiO<sub>2</sub>の10倍以上であることを示していますがこれは有り得るでしょうか。また、熱酸化\_SiO<sub>2</sub>の45deg傾斜と75deg傾斜のデータを比較すると、電流値の正負が逆転しており、I R積だけから考えるとこの結果はSi KLLのピーク位置が1605.7eV~1606.7eVの間にあることを示しています。しかしこの結果は本来ならば1609eVを示すSi KLLピークに一致しません。

以上のことからわたしは正の電荷の蓄積の寄与の方が大きいのではないかと考えますが、I R積による電位の変動は否定できません。ピークシフトに対するそれぞれの寄与を定量的に評価するのは難しいと思います。

5. 田中：実験データについて：今回の実験では、参照試料として酸化皮膜のないシリコンの測定結果を示されましたが、酸化物のついている試料で下地信号と酸化物信号の両方が観察できれば、酸化物のピークエネルギーに対して良い基準になるように想いました。そのような、極めて薄い酸化膜が、このような意味で規準になるように感じています。ちなみに、そのように薄い酸化皮膜でも酸化物のピークエネルギー値が厚さに依存して変化することは知られています。例えば、S. Iwata and A. Ishizaka, J. Appl. Phys. 79, 6653(1996)には、20年間の検討結果がまとめられています。このような問題もチャージアップには関係しているので、全貌を整理するまでは一山もふた山もありそうに思います。今後の、わたしたちSASJの仕事の重要性の一端になるようにおもっております。

定を行い比較してみました。その結果は次の通りです。

Si KLL  
酸化皮膜のあるSi 1615.9 eV  
1608.5 eV(Oxide)  
酸化皮膜のないSi 1616.4 eV

田中さんご指摘の通り薄い酸化皮膜の存在でもピークがシフトしているのがわかります。またA4で記しましたデータからもわかるように試料傾斜角によるピークのシフトもあり、絶縁物の表面分析には課題が多くSASJのメンバーのほとんどが何らかのかたちでこの問題に関っていると思います。

そこで今回のようなe-mailを利用したスピーディな情報交換が課題解決への有効な手段になると思います。